

# **数字逻辑实验报告（1**）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 钟子琛**

**学 号： U201714607**

**班 级： CS1703**

**指 导 教 师： 石宣化**

**计算机科学与技术学院**

**2019 年 4 月 17 日**



**数字逻辑实验报告**

系列二进制加法器设计预习报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

采用传统电路的设计方法，设计5种二进制加法器，并利用工具软件 logisim的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真和调试的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

设计如下电路，并使用logisim软件进行虚拟仿真。除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件。

具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和C，为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用先行进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。

输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co分别为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号参见图1-1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1-1先行进位的四位二进制并行加法器

5、实验方案设计

**（1）一位二进制半加器**

S=~A B + A ~B

C=AB

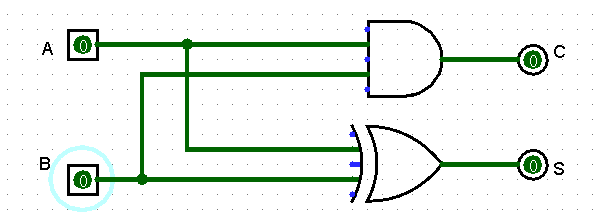


图1-2 一位二进制半加器

**（2）一位二进制全加器**

S = X⊕Y⊕C

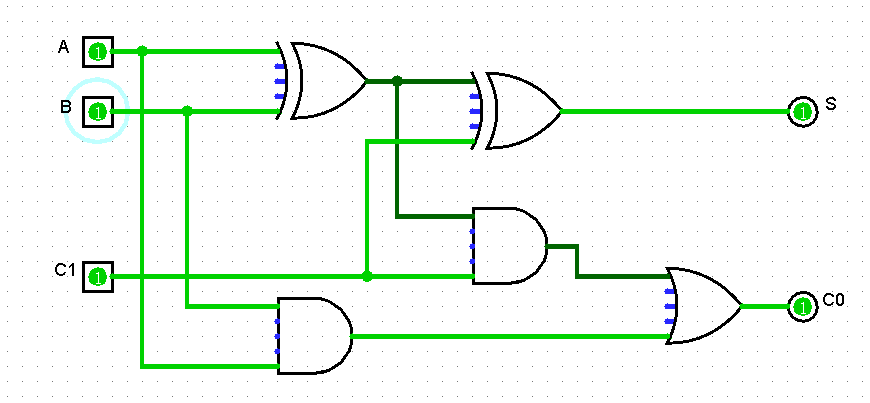


图1-3 一位二进制全加器

**（3）串行进位的四位二进制并行加法器**

Si = Xi⊕Yi⊕Ci

Ci+1 = Xi·Yi + Xi·Ci + Yi·Ci

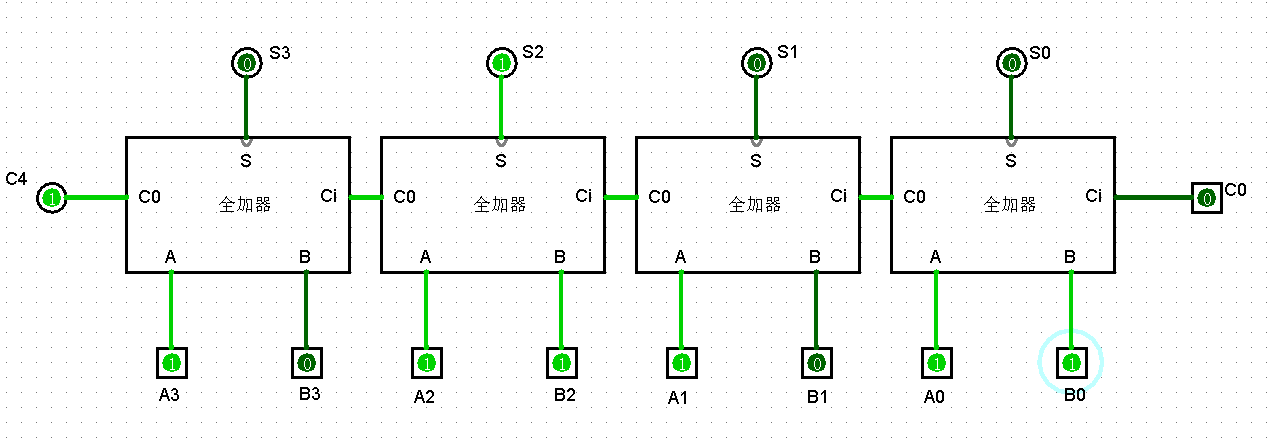


图1-4串行进位的四位二进制并行加法器

**（4）先行进位的四位二进制并行加法器**

如图1-5为先行进位的四位二进制并行加法器

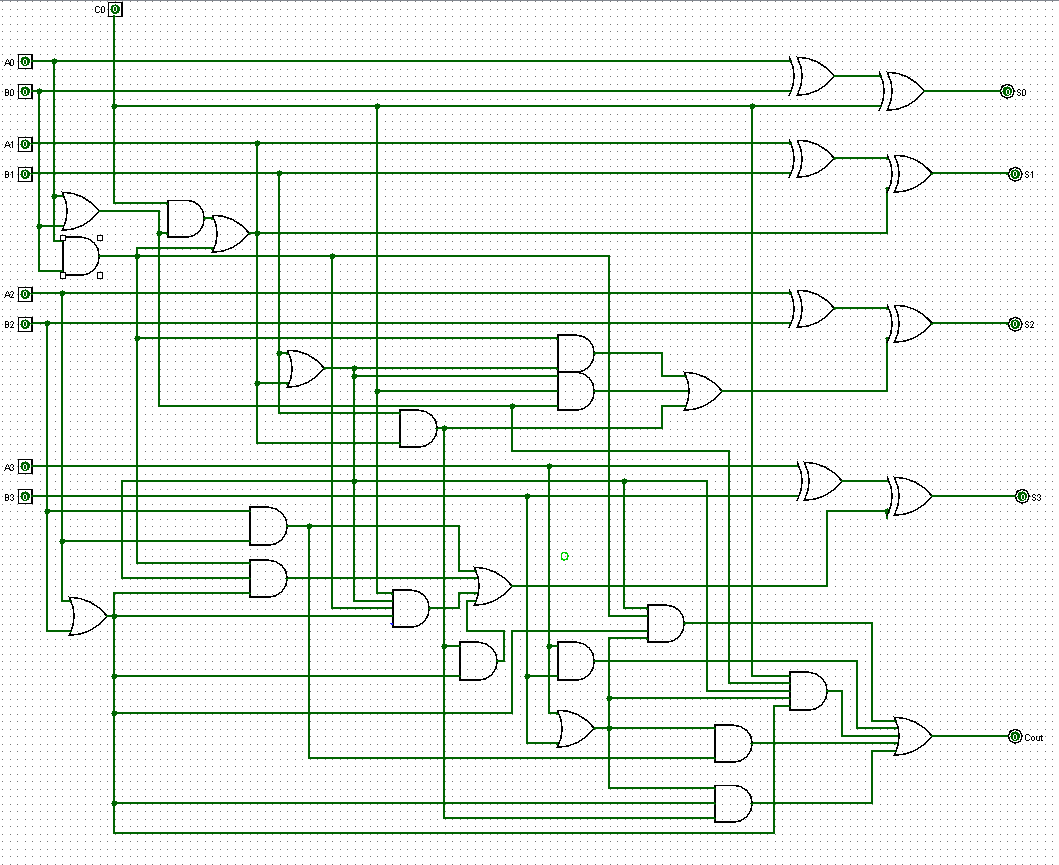


图1-5先行进位的四位二进制并行加法器

**（5）封装“先行进位的四位二进制并行加法器电路”**

按图1-1所示要求，封装“先行进位的四位二进制并行加法器电路”，并验证设计的正确性。

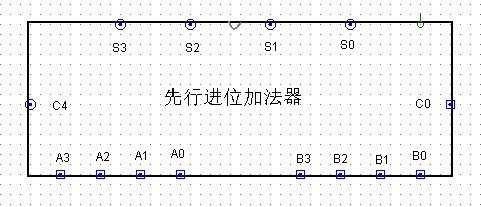


图1-6“私有”的先行进位的四位二进制并行加法器元件

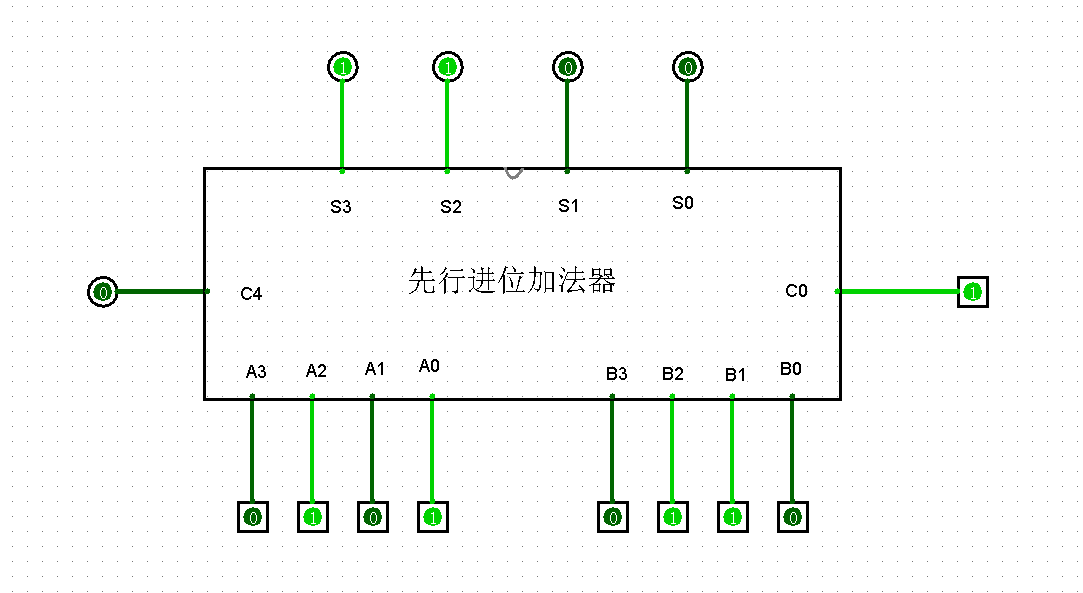


图1-7“私有”的先行进位的四位二进制并行加法器元件的测试电路



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

二、小型实验室门禁系统设计

1、实验名称

小型实验室门禁系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1软件一套。

4、实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示（七段显示数码管）该实验室内人数。该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库。

具体要求如下。

**（1）四位二进制可逆计数器**

用D触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号参见图2-1所示。

该计数器有一个清零端**CLR**、一个累加计数脉冲输入端**CPU** （输入刷卡进入请求）、一个累减计数脉冲输入端**CPD**（输入刷卡离开请求）、四个计数器状态输出值**QD QC QB QA**。

**QD QC QB QA**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

图2-1 四位二进制可逆计数器

**（2）二进制转8421BCD码电路**

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件，将二进制数表示的实验室人数转换成**8421BCD码**的电路，并封装。

**（3）显示电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来，并封装该译码器电路。

该7段译码器有四个输入**A3A2A1A0**和七个输出**abcdefg**, **A3A2A1A0**为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）报警电路**

设计报警电路并封装，使得满足如下要求。

当实验室满员时，在累加计数脉冲输入端**CPU**刷卡进入请求时，计数器输出端状态值保持不变，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲输入端**CPD**刷卡离开请求，为防止信号干扰，在计数输出为0时，若**CPD**有脉冲，计数器状态值保持不变，且不用报警。

**（5）小型实验室门禁系统电路的封装**

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并进行封装，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

5、实验方案设计

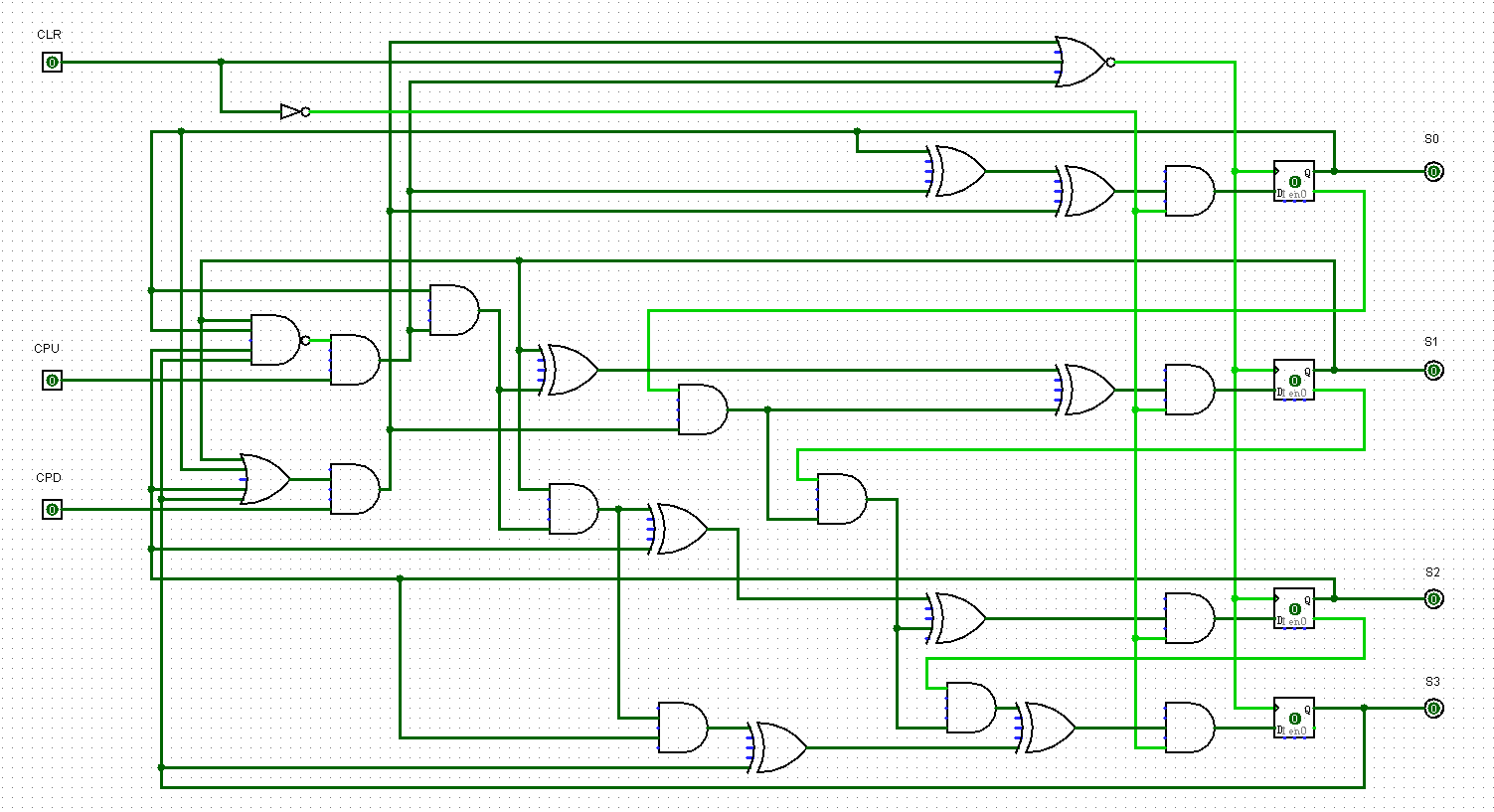
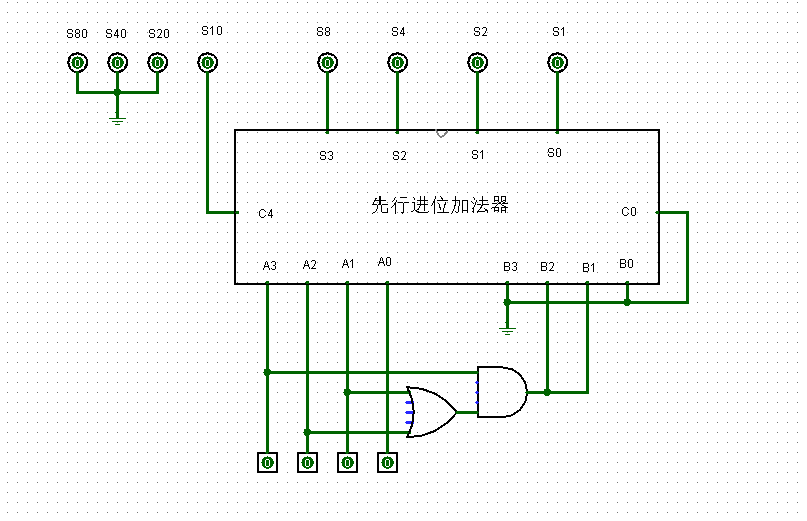
**（1）四位二进制可逆计数器**

图2-1 一个四位二进制可逆计数器

**（2）二进制转8421BCD码电路**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 十进制数 | 输入(4位二进制数) | | | | 输出(8421码) | | | | | 修正控制 |
| N | A3 | A2 | A1 | A0 | C4 | S8 | S4 | S2 | S1 | Z |
| 0 | **0** | **0** | **0** | **0** | 0 | **0** | **0** | **0** | **0** | 0 |
| 1 | **0** | **0** | **0** | **1** | 0 | **0** | **0** | **0** | **1** | 0 |
| 2 | **0** | **0** | **1** | **0** | 0 | **0** | **0** | **1** | **0** | 0 |
| 3 | **0** | **0** | **1** | **1** | 0 | **0** | **0** | **1** | **1** | 0 |
| 4 | **0** | **1** | **0** | **0** | 0 | **0** | **1** | **0** | **0** | 0 |
| 5 | **0** | **1** | **0** | **1** | 0 | **0** | **1** | **0** | **1** | 0 |
| 6 | **0** | **1** | **1** | **0** | 0 | **0** | **1** | **1** | **0** | 0 |
| 7 | **0** | **1** | **1** | **1** | 0 | **0** | **1** | **1** | **1** | 0 |
| 8 | **1** | **0** | **0** | **0** | 0 | **1** | **0** | **0** | **0** | 0 |
| 9 | **1** | **0** | **0** | **1** | 0 | **1** | **0** | **0** | **1** | 0 |
| 10 | **1** | **0** | **1** | **0** | 1 | **0** | **0** | **0** | **0** | 1 |
| 11 | **1** | **0** | **1** | **1** | 1 | **0** | **0** | **0** | **1** | 1 |
| 12 | **1** | **1** | **0** | **0** | 1 | **0** | **0** | **1** | **0** | 1 |
| 13 | **1** | **1** | **0** | **1** | 1 | **0** | **0** | **1** | **1** | 1 |
| 14 | **1** | **1** | **1** | **0** | 1 | **0** | **1** | **0** | **0** | 1 |
| 15 | **1** | **1** | **1** | **1** | 1 | **0** | **1** | **0** | **1** | 1 |

图2-2 一位16进制数转2位8421码

**（3）显示电路**

**（A）7段译码器译码电路**

逻辑表达式：

a=210+32A1+3A2A0+A31A0

b= 32+10+21+3A1A0

c= 3A2+21+2A0

d= A21A0+20+2A1A0+ A2A10

e= A10+20

f= 10+A21+A321+A20

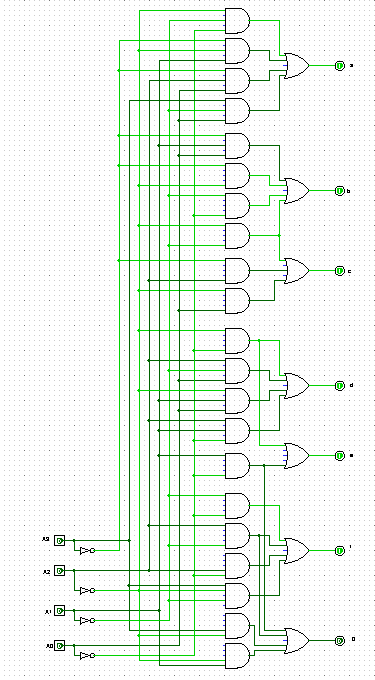
g= A21+ A32+2A1+A10

图2-3 7段译码器电路

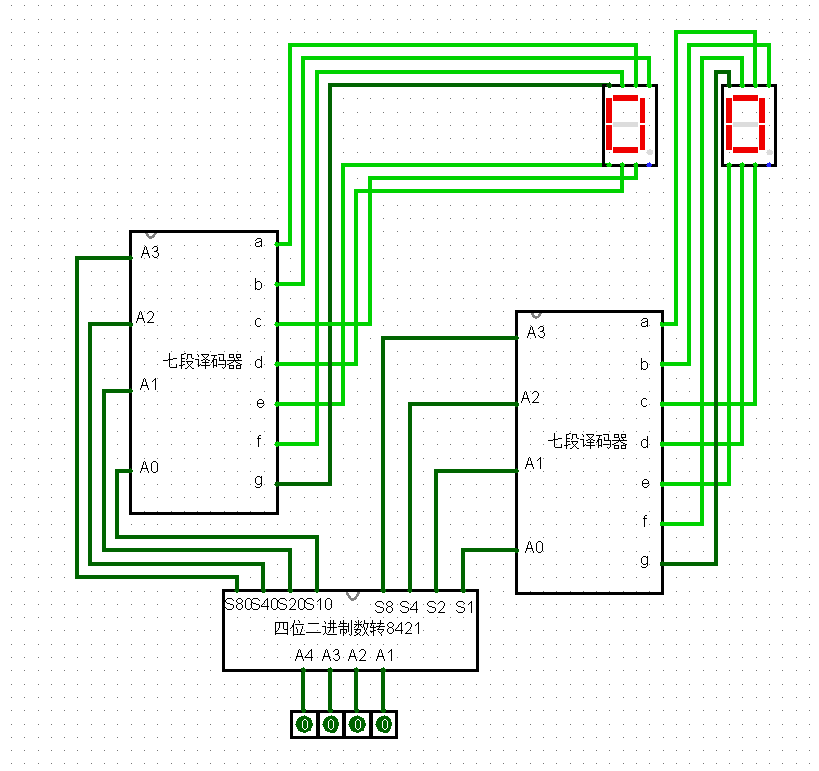
**（B）7段数码显示管显示电路**

图2-4 7段数码显示管显示实验室人数的电路

**（4）报警电路**

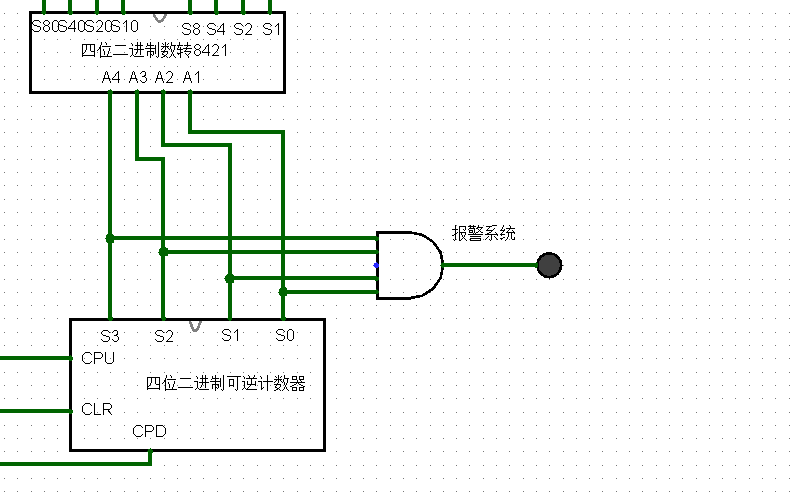
Z = S3\*S2\*S1\*S0

图2-5 报警电路

**（5）小型实验室门禁系统电路的封装**

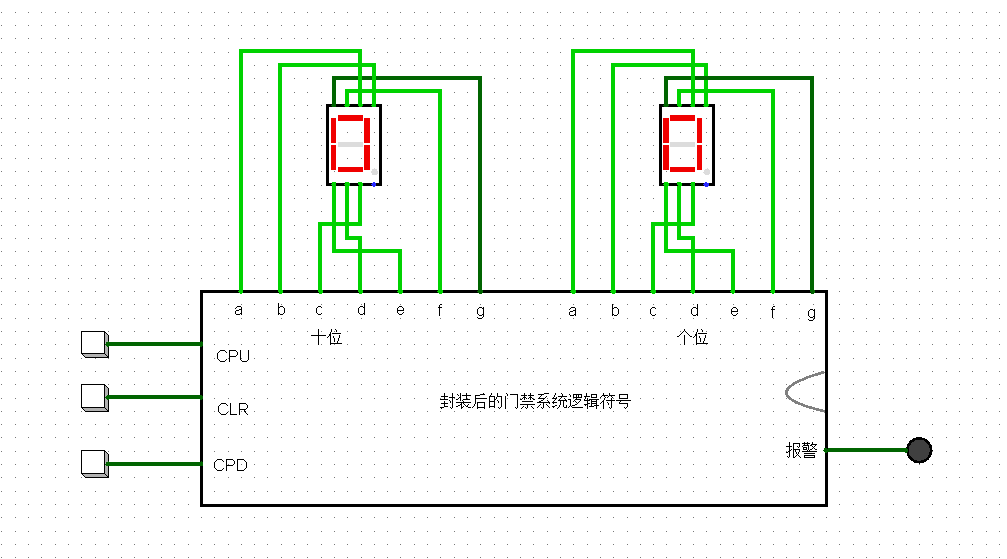
 利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并封装。

图2-6 门禁系统电路

6、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

1、拿到题目之后不知道如何下手，很迷茫

2、不知道如何安排电路，很乱

**（2）你是如何解决的？**

1、拿到题目之后不去思考这个电路怎么画，而是侧重思考逻辑表达式应该是什么样子。

2、首先不要特别在意电路的清晰性，首先按照逻辑表达式将电路单纯的画出来，最后再通过各种等效的电路将自己的电路一步一步地简化。